

257/66

AU 253 48605

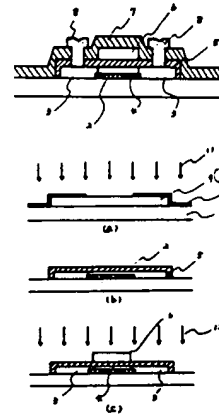
JA 0100967
MAY 1986

(54) THIN-FILM TRANSISTOR

(11) 61-100967 (A) (43) 19.5.1986 (19) JP
(21) Appl. No. 59-221557 (22) 22.10.1984
(71) SEIKO EPSON CORP (72) YOSHIFUMI TSUNEKAWA(1)
(51) Int. Cl. H01L29/78, H01L27/12

PURPOSE: To lower a threshold current value, to increase an ON-OFF ratio and to enable response at high speed by thinning the film thickness of a channel region through the ion implantation of oxygen or nitrogen and forming structure in which the film thickness is made thinner than that of a source region and a drain region shaping contacts.

CONSTITUTION: A nonsingular crystal silicon layer 9 is formed onto an insulating substrate 1, and etched to a required shape, the layer 9 is shaped so that a resist 10 is not left on a channel region 4, and the ions of oxygen, etc. are implanted. A resist mask is peeled, and a gate insulating film 5 is formed by thermally oxidizing the nonsingular crystal silicon layer 9. A gate electrode 6 is shaped, and a source region and a drain region 3 are formed through the implantation of impurity ions. An inter-layer insulating film 7 is shaped, a contact hole is formed, and a source electrode and a drain electrode 8 are shaped.



257/66

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-100967

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月19日

H 01 L 29/78
27/12

8422-5F
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭59-221557

⑯ 出 願 昭59(1984)10月22日

⑰ 発 明 者 恒 川 吉 文 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑱ 発 明 者 大 島 弘 之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

会社

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1 項記載の薄膜トランジスタ。

1 発明の名称

薄膜トランジスタ

3 発明の詳細な説明

[産業上の利用分野]

本発明は、薄膜トランジスタの構造に関するものである。

2 特許請求の範囲

[従来の技術]

(1) 絶縁基板上のシリコン層を、動作半導体層に用いた薄膜トランジスタにおいて、前記シリコン層に形成される少なくともチャネル領域に、選択的イオン打込みにより形成した絶縁層を有し局所的に、前記チャネル領域のシリコン層膜厚を薄くした構造を特徴とする薄膜トランジスタ。

従来の薄膜トランジスタの構造は、特開昭59-22365・特開昭59-96769の様に、動作層であるシリコン層の膜厚は、コンタクトホール形成時に問題がなく、かつトランジスタ特性に、コンタクト抵抗等の寄生抵抗が影響しない膜厚以上の均一膜厚であった。

(2) 選択的イオン打込みにより形成した絶縁層が、前記シリコンの酸化膜および窒化膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

[発明が解決しようとしている問題点]

(3) 前記シリコン層に形成されるソース領域およびドレイン領域と外部配線とのコンタクト形成領域の前記シリコン層の膜厚は、チャネル領域の膜厚より厚いことを特徴とする特許請求の範囲第

しかし、前述の従来技術では、薄膜トランジスタ(以下TFTと記す。)特性において、動作層が非単結晶シリコンであることからオン電流値が小さくオフ状態でのリーク電流が大きいためオン/オフ比が小さくおさえられる、またしきい値電圧が高く、応答速度が鈍いという問題点を有する。

そこで本発明はこのような問題点を解決するもので、その目的とするところは、動作半導体層である非単結晶シリコン層の少なくともチャネル領域の非単結晶シリコン層膜厚は薄くし、ソース領域およびドレイン領域の少なくともコンタクト形成領域は、コンタクトホール形成時に、歩留り良く形成が可能で、コンタクト抵抗等の寄生抵抗がトランジスタ特性に影響を与えない膜厚でTFTを構成し、オフ電流値を下げ、オン電流値を上げオン／オフ比を大きくし、しきい値電圧を下げ、高速応答を可能にするなど、良好なトランジスタ特性を有するTFT構造を提供するところにある。

〔問題点を解決するための手段〕

本発明のTFTは、動作半導体層である非単結晶シリコン層中の少なくともチャネル領域に、イオン打込みにより形成した絶縁層を有し、チャネル領域の非単結晶シリコン層膜厚は薄く、外部配線とコンタクトを形成するソース領域およびドレイン領域の少なくともコンタクト形成領域は、良好なコンタクトが可能であるように厚くした構造

を、化学気相成長法（以下CVDと記す。）等により形成し、必要な形状にエッチングを行ない、イオン打込み用のマスクを、レジスト10により少なくともチャネル領域4上にはレジスト10が残らないように形成しイオン打込みを行なう。このようにして第3図(a)の如くなる。イオン打込みには、酸素イオンあるいは窒素イオンの使用が可能である。

続いて、レジストマスクをハクリした後、非単結晶シリコン層9の熱酸化により、ゲート絶縁膜5を形成する。この際、イオン打込みした層2のアニールも同時に行なうことができる。

続いて、不純物元素の熱拡散等で低抵抗化した非単結晶シリコン層あるいは、ゲート配線抵抗が問題となる場合には高融点金属またはそのシリサイド等を使用して、ゲート電極6を形成し、不純物イオンの打ち込みにより、ソース領域およびドレイン領域3を形成する。この際ゲート電極6をマスクに打ち込むので、自己整合が可能となる。

このようにして、第3図(c)の如くなる。

を特徴とする。

〔作用〕

本発明の上記構成によれば、チャネル領域の膜厚を薄くし、少なくともコンタクトを形成するソース領域およびドレイン領域の膜厚は、コンタクトホール形成時に歩留り低下に影響することなくかつ良好なコンタクト特性が得られるような膜厚となるような構造としたので、しきい値電圧の低下、オフ状態のリーク電流の減少、オン電流の増加さらには、高速応答が実現できるものである。

〔実施例〕

第1図は、本発明の実施例におけるTFTの構造図であって、第2図の従来のTFT構造と比較して、イオン打込みにより形成される絶縁層2の厚さだけ、チャネル領域4の非単結晶シリコン層の膜厚が薄くなっている。

第3図には、本発明によるTFT構造を実現するための製造工程を示す。第3図を用いて、製造工程を説明する。

最初に、絶縁基板1上に、非単結晶シリコン層

次に、相関絶縁膜7を形成し、コンタクトホールを形成した後、Al-Si, Al-Si-Cu電極材料によりソース電極およびドレイン電極を形成することにより、第3図(d)の如く構造となる。

以上のようにして、本発明によるTFT構造の実現が可能となる。

さらに、第3図(a)においては、イオン打込みマスク10をレジストにより形成したが、このマスクをCVD等で形成した酸化膜で形成した構造を第4図に示す。マスクとして形成した酸化膜層間絶縁膜の一部として使用できる。さらに、面状度がTFT特性に敏感に影響する非単結晶シリコン層9の表面が、レジスト10で汚染されことなく構成できるので、トランジスタ特性のラッキが小さくなる。

続いて、本発明による作用を詳しく説明すると

本発明の上記構成によれば、チャネル領域の厚を薄くしたTFT構造であるので、動作半導体層である非単結晶シリコン層中のチャネル領域

において、ゲート電圧の増加により広がる空乏層は、低ゲート電圧で、チャネル領域を満たすことになる。また、空乏層がチャネル領域を満たすゲート電圧（以後 V_T と記す）以上のゲート電圧（以後 V_0 と記す）を印加すれば、 $(V_0 - V_T)$ なる電圧は、非単結晶シリコンのフェルミレベルを曲げることに使用され、反転層形成に使用される。一般にMOSトランジスタにおけるしきい値電圧（以後 V_{th} と記す。）は次式で表わされる。

$$V_{th} = V_{FB} + 2 \cdot 1 \phi_F + 8 \cdot N_B \cdot W_d / C_{ox}$$

ここで V_{FB} はフラットバンド電圧、 ϕ_F はフェルミ単位、 q は電荷量、 N_B は不純物濃度、 W_d は空乏層厚、 C_{ox} はゲート容量である。

上式の W_d 以外の変数の値が一定であるならば、 V_{th} は、 W_d を小さくすることで、減少することになる。故に、本発明のTFT構造のように、 W_d すなわち空乏層厚を有限な非単結晶シリコン層を用いて、制御することにより、しきい値電圧を下げる事が可能となる。

また、オフ状態でのリーク電流を決定するのは、

以上のことは、第5図に示すTFT特性の1例より理解できる。さらに第5図より、本発明の構造にすることで、特性の立ち上がりが急峻となり、より高速応答が可能なTFT特性となることが理解できる。第5図には例としてNチャネルTFTの特性が示してあるが、PチャネルTFTにおいても同様な特性が得られる。

加えて、本発明では、外部配線とのコンタクトにおいて、動作半導体層のソース領域およびドレイン領域の少なくともコンタクト形成領域は、量産工程においても、コンタクトホールが歩留り良く形成でき、しかもコンタクト抵抗等寄生抵抗が、TFT特性に影響しない膜厚としているので、それら要因に影響されることなく、前述したような、高性能なTFT特性が得られる。

〔発明の効果〕

以上述べたように本発明によれば、膜素あるいは窒素のイオン打込みにより形成される絶縁層により動作半導体層である非単結晶シリコン層の少なくともチャネル領域の膜厚を薄くし、コンタク

チャネル領域の抵抗値である。オフ状態でのチャネル領域の非単結晶シリコン層の比抵抗率を ρ_s とし、チャネル幅を W 、チャネル長を L 、チャネル領域の非単結晶シリコン層の膜厚を W_s とすれば、オフ状態でのチャネル抵抗 R_{off} は、

$$R_{off} = \rho_s \cdot L / W \cdot W_s$$

となる。したがって、オフ状態でのチャネル抵抗は、チャネル領域の非単結晶シリコン層の膜厚を薄くすることで、増加する。すなわち、本発明の如く構造にすることで、オフ状態でのチャネル抵抗が増加し、オフ状態でのリーク電流は減少する。

また、MOSトランジスタの理論式より理解できるようにオン状態での電流すなわちオン電流は、 $(V_0 - V_{th})$ の関数であり、 $(V_0 - V_{th})$ の値の増加で、オン電流は増加する。本発明のTFT構造を実現することで、 V_{th} が下がるので、オン電流が増加することになる。したがって、オン電流が増加し、前述のごとくオフ電流は減少するので、トランジスタ応答特性に必要なオン/オフ比が増加することになる。

トを形成するソース領域およびドレイン領域の膜厚は、チャネル領域より厚くするというTFT構造にすることにより、しきい値電流値が0~3Vと低くなり、オフ電流が1ピコアンペア以下、オン電流も10マイクロアンペア以上となり、オン/オフ比でも7桁以上という、高性能なTFT特性が得られる。またNチャネルTFTだけでなくPチャネルTFTについても同様に高性能な特性が、バランス良く得られるので、片チャネルのデバイスだけでなく、各種CMOS構造のデバイスへの応用が可能となる。

加えて構造上、少なくともコンタクトを形成するソース領域およびドレイン領域の膜厚を厚くしているため、量産工程を考慮した場合にも、歩留り良くコンタクトホール形成が可能となり、良好なコンタクト特性を実現するという効果を有する。

4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタの構造の一実施例を示す主要断面図。

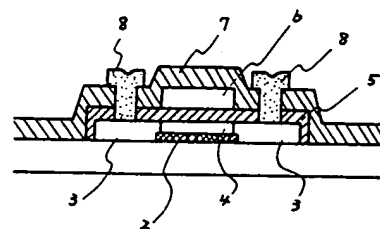
第2図は従来の薄膜トランジスタの構造を示す主要断面図。

第3図(a)~(d)は本発明の薄膜トランジスタを実現するための製造工程図。

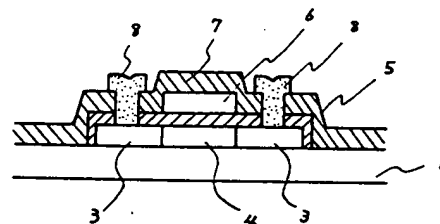
第4図は本発明の薄膜トランジスタの構造の一実施例を示す主要断面図。

第5図は本発明の構造と従来の構造の薄膜トランジスタのトランジスタ特性を示す図。

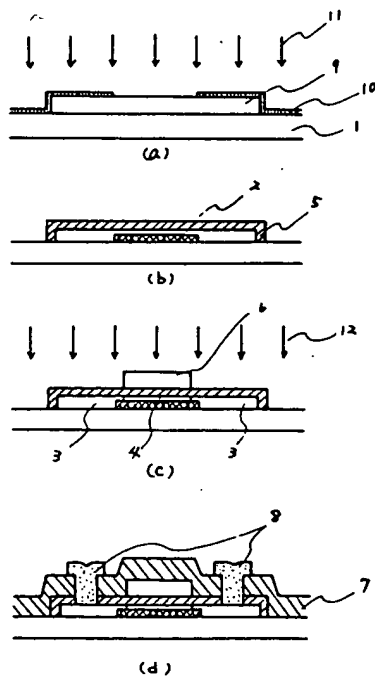
- 1 … 絶縁基板
- 2 … イオン打込み絶縁層
- 3 … ソース領域およびドレイン領域
- 4 … チャネル領域
- 5 … ゲート絶縁層
- 6 … ゲート電極
- 7 … 層間絶縁層
- 8 … ソース電極およびドレイン領域
- 9 … 非単結晶シリコン層
- 10 … レジスト層
- 11 … 酸素イオンビームあるいは窒素イオンビーム
- 12 … 不純物イオンビーム
- 13 … マスク絶縁層



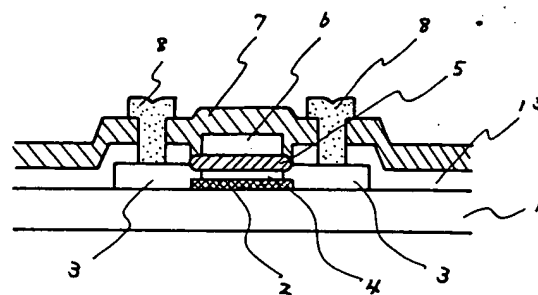
第1図



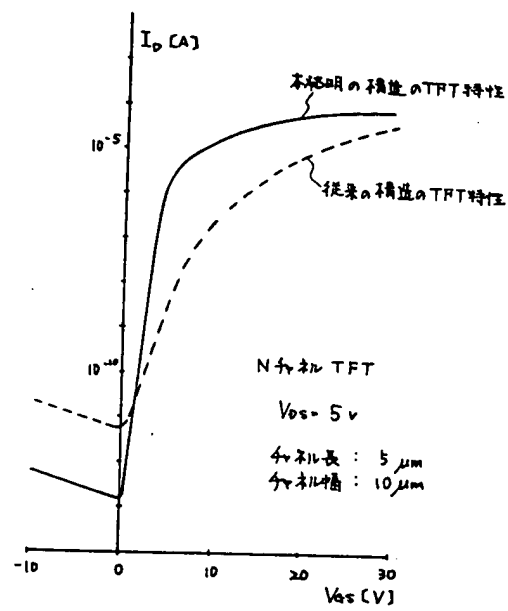
第2図



第3図



第4図



第 5 図

THIS PAGE BLANK (USPTO)